

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

3-01115-JH
(11) 特許出願公開番号

特開平10-257799

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 2 P 8/38

H 0 2 P 8/00

S

G 0 1 R 31/02

G 0 1 R 31/02

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号

特願平9-53515

(22) 出願日

平成9年(1997) 3月7日

(71) 出願人 000003207

トヨタ自動車株式会社

愛知県豊田市トヨタ町1番地

(72) 発明者 延原 以清

愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内

(74) 代理人 弁理士 伊東 忠彦

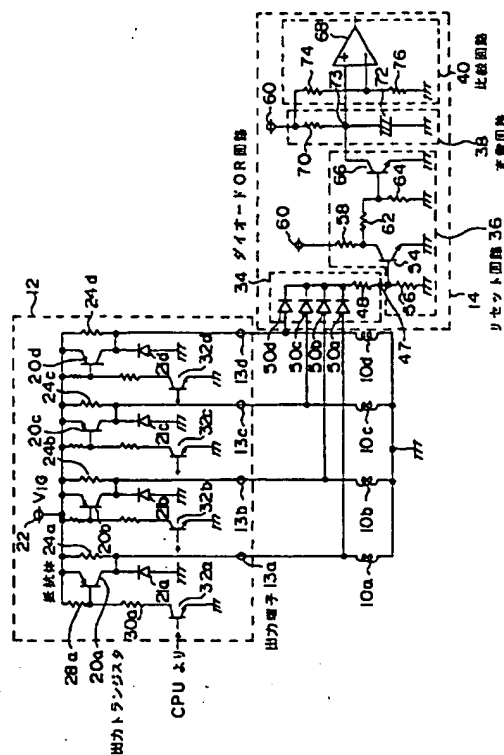
(54) 【発明の名称】 多チャンネル出力装置の出力オープン検出装置

(57) 【要約】

【課題】 本発明は多チャンネル出力装置に出力オープン検出装置に関し、低コストで多チャンネルの出力オープンを検出することを目的とする。

【解決手段】 駆動回路12とアースとの間にステッピングモータの各コイル10a~10dが接続され、出力トランジスタ12a~12dと並列に高抵抗の抵抗体24a~24dが接続されている。出力端子13a~13dにはダイオードOR回路34が接続されている。コイル10a~10dの何れかに断線が生ずると、抵抗体24a~24dを介して駆動電圧源22の電圧が出力端子に出力され、出力端子の電位はハイレベルに維持される。この場合、ダイオードOR回路34の出力はハイレベルとなってタイマコンデンサ72に充電され、その充電電圧が所定値を越えると比較回路40よりハイレベル電圧が出力される。

10



1

【特許請求の範囲】

【請求項1】 複数のスイッチング素子と、該複数のスイッチング素子の夫々に対応し、対応するスイッチング素子のオン・オフに応じて出力電流がオン・オフされる複数の出力端子とを備える多チャンネル出力装置の出力オープンを検出する多チャンネル出力装置の出力オープン検出装置であって、

前記複数の出力端子の夫々に接続された負荷に対して所定の微小電流を供給する微小電流供給手段と、

前記負荷のうち何れかの端子間電圧がハイレベルの場合にハイレベルを出力すると共に、全ての負荷の端子間電圧がローレベルの場合にローレベルを出力する論理和出力手段と、

前記論理和出力手段の出力が所定期間以上ハイレベルに維持された場合に出力オープンが生じたことを示す出力オープン信号を出力するオープン検出手段と、を備えることを特徴とする多チャンネル出力装置の出力オープン検出装置。

【請求項2】 請求項1記載の多チャンネル出力装置の出力オープン検出装置において、

前記スイッチング素子は前記出力端子に対して高電位側に設けられていると共に、

前記論理和出力手段は、前記出力端子の夫々の電位を入力信号とする論理OR回路よりなることを特徴とする多チャンネル出力装置の出力オープン検出装置。

【請求項3】 請求項1記載の多チャンネル出力装置の出力オープン検出装置において、

前記スイッチング素子は前記出力端子に対して低電位側に設けられていると共に、

前記論理和出力手段は、前記出力端子の夫々の電位を入力信号とする論理NAND回路よりなることを特徴とする多チャンネル出力装置の出力オープン検出装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ステッピングモータ駆動装置の如く多チャンネルの電流出力を備える多チャンネル出力装置に係り、特に、その出力オープンを簡易な構成で検出するのに好適な多チャンネル出力装置の出力オープン検出装置に関する。

【0002】

【従来の技術】従来より、ステッピングモータの駆動装置として、例えば特開平3-218298号に開示される構成が公知である。上記従来の装置は、付与された指令パルスに応じてステッピングモータの各コイルに通電する駆動回路を備えている。各コイルが切り替えて通電されることで、ステッピングモータが駆動される。指令パルスの周波数が高くなり過ぎると、ステッピングモータが指令パルスに追従できなくなって脱調が生ずる。脱調が生ずるとステッピングモータは所期の特性を発揮し得なくなる。このため、ステッピングモータの運転状態

2

の異常の有無を監視するうえで、ステッピングモータの脱調を的確に検出することが必要とされる。

【0003】一般に、ステッピングモータに脱調が生ずると、ステッピングモータのコイルには逆起電力が殆ど生じなくなる。コイルの端子間電圧、コイルに供給される電流、及び、逆起電力の間には一定の関係が成立する。従って、脱調に起因して逆起電力が生じなくなると、コイルの端子間電圧が正常運転時に対して変化する。そこで、上記従来の装置においては、かかるコイルの端子間電圧の変化を検出することによりステッピングモータの脱調の有無を判別することとしている。

【0004】

【発明が解決しようとする課題】ところで、ステッピングモータの何れかのコイルに断線が生じた場合、ステッピングモータは所期の特性を発揮し得なくなる。従って、ステッピングモータの運転状態の異常の有無を監視するうえでは、コイルの断線を検出することも必要である。しかしながら、上記従来の装置は、コイルの断線を検出するための手段を何ら備えていない。また、上述の如く、上記従来の装置は、コイルに正常に駆動電流が流れることを前提としてモータの脱調の検出を行なうものであるため、コイルの断線が生じた場合には、モータの脱調を正確に検出することができない。

【0005】ステッピングモータのコイルの断線を検出する技術としては、モータの動作に影響を与えない程度の微小な電流を各コイルに供給し、各コイルの端子間電圧と所定の基準電圧との比較に基づいて、当該コイルに断線が生じているか否かを検出するものが知られている。しかしながら、上記従来の技術において、コイルの端子間電圧と基準電圧との比較はコイル毎に行なわれるため、ステッピングモータが備える各コイルについて、電圧の比較を行なう回路を設けなければならない。このため、上記従来の技術によれば、コイルの断線の有無を検出するために、ステッピングモータ駆動装置のコストが大幅に増大してしまう。

【0006】本発明は、上述の点に鑑みてなされたものであり、ステッピングモータ駆動回路のコイル断線の如く、多チャンネル出力装置の出力オープンを低コストで検出することが可能な、多チャンネル出力装置の出力オープン検出装置を提供することを目的とする。

【0007】

【課題を解決するための手段】上記の目的は、請求項1に記載する如く、複数のスイッチング素子と、該複数のスイッチング素子の夫々に対応し、対応するスイッチング素子のオン・オフに応じて出力電流がオン・オフされる複数の出力端子とを備える多チャンネル出力装置の出力オープンを検出する多チャンネル出力装置の出力オープン検出装置であって、前記複数の出力端子の夫々に接続された負荷に所定の微小電流を供給する微小電流供給手段と、前記負荷のうち何れかの端子間電圧がハイレベル

50

3

の場合にハイレベルを出力すると共に、全ての負荷の端子間電圧がローレベルの場合にローレベルを出力する論理和出力手段と、前記論理和出力手段の出力が所定期間以上ハイレベルに維持された場合に出力オープンが生じたことを示す出力オープン信号を出力するオープン検出手段と、を備える多チャンネル出力装置の出力オープン検出装置により達成される。

【0008】本発明において、各出力端子に接続された負荷には微小電流が供給される。従って、何れかの出力端子がオープンとなって負荷が高抵抗状態になると、当該出力端子に接続された負荷の端子間電圧はハイレベルとなる。論理和出力手段は何れかの負荷の端子間電圧がハイレベルの場合にのみハイレベルを出力する。従って、何れかの出力端子がオープンになると、論理和出力手段の出力はハイレベルに維持される。オープン検出手段は論理和出力手段の出力が所定期間以上ハイレベルに維持された場合に出力オープン信号を出力する。上述の如く、本発明においては、論理和出力手段は各負荷の端子間電圧に基づいて単一の信号を出力し、オープン検出手段はその出力に基づいて出力オープンの有無を判別する。従って、オープン検出手段は全出力端子に対して共通に設けられ、出力端子の夫々に対応してオープン検出手段を設けることが不要とされる。

【0009】また、上記の目的は、請求項2に記載する如く、請求項1記載の多チャンネル出力装置の出力オープン検出装置において、前記出力端子は前記スイッチング素子に対して低電位側に設けられていると共に、前記論理和出力手段は、前記出力端子の電位を入力信号とする論理OR回路よりなる多チャンネル出力装置の出力オープン検出装置によっても達成される。

【0010】本発明において、出力端子はスイッチング素子に対して低電位側に設けられている。従って、負荷は出力端子に対して低電位側に接続される。このため、何れかの出力端子がオープンになって負荷の端子間電圧がハイレベルになると、当該出力端子の電位はハイレベルになる。何れかの出力端子の電位がハイレベルになると、論理OR回路はハイレベル電圧を出力する。

【0011】更に、上記の目的は、請求項3に記載する如く、請求項1記載の多チャンネル出力装置の出力オープン検出装置において、前記出力端子は前記スイッチング素子に対して高電位側に設けられていると共に、前記論理和出力手段は、前記出力端子の電位を入力信号とする論理NAND回路よりなる多チャンネル出力装置の出力オープン検出装置により達成される。

【0012】本発明において、出力端子はスイッチング素子に対して高電位側に設けられている。従って、負荷は出力端子に対して高電位側に接続される。このため、何れかの出力端子がオープンになって負荷の端子間電圧がハイレベルになると、当該出力端子の電位はローレベルになる。何れかの出力端子の電位がローレベルになる

4

と、論理NAND回路はハイレベル電圧を出力する。

【0013】

【発明の実施の形態】図1は本発明の第1実施例に係わるステッピングモータ駆動装置の出力回路の回路図を示す。図1に示す如く、本実施例の回路は、4相ユニポーラ駆動型ステッピングモータの各相のコイル10a~10dに駆動電流を供給する駆動回路12と、コイル10a~10dの断線の有無を検出する検出回路14とにより構成されている。

【0014】図1に示す如く、駆動回路12は出力端子13a~13dを備えている。出力端子13a~13dには各相のコイル10a~10dの一端が接続されている。コイル10a~10dの他端は接地されている。駆動回路12は、各コイル10a~10dに対応する互いに同一の回路より構成されている。このため、以下、駆動回路12のコイル10a~10dに対応する部分にそれぞれ、サフィックス“a”~“d”を付して示し、コイル10aに対応する回路について代表的に説明する。

【0015】駆動回路12は出力トランジスタ20aを備えている。出力トランジスタ20aのコレクタ端子は出力端子13aに接続されていると共に、保護ダイオード21aを介して接地されている。また、出力トランジスタ20aのエミッタ端子は、所定の駆動電圧 V_{IG} を出力する駆動電圧源22に接続されている。出力トランジスタ20aのコレクタ端子とエミッタ端子との間には抵抗体24aが接続されている。抵抗体24aの抵抗値は、駆動電圧源22より抵抗体24を経由してコイル10aへ、ステッピングモータの動作に影響を与えない程度の微小電流が供給されるように高い値に設定されている。また、出力トランジスタ20aのベース端子とエミッタ端子との間には抵抗体28aが接続されている。更に、出力トランジスタ20aのベース端子は抵抗体30aを介してブリッドドライブトランジスタ32aのコレクタ端子に接続されている。ブリッドドライブトランジスタ32aのエミッタ端子は接地されている。また、ブリッドドライブトランジスタ32aのベース端子には図示しないCPUの制御出力端子が接続されている。

【0016】次に、検出回路14の構成について説明する。検出回路14は、ダイオードOR回路34、リセット回路36、充電回路38、及び比較回路40より構成されている。ダイオードOR回路34は、その出力部47に接続された抵抗体48と、抵抗体48と駆動回路12の出力端子13a~13dとの間にそれぞれ接続されたダイオード50a~50dとより構成されている。ダイオード50a~50dはそれぞれ出力端子13a~13d側から抵抗体48側へ向かう電流の流れを許容するように設けられている。ダイオードOR回路34の出力部47にはリセット回路36が接続されている。

【0017】リセット回路36はトランジスタ54を備えている。トランジスタ54のベース端子は、ダイオー

5

ドOR回路34の出力部47に接続されていると共に、抵抗体56を介して接地されている。また、トランジスタ54のエミッタ端子は接地されている。更に、トランジスタ54のコレクタ端子は、抵抗体58を介して所定の定電圧 V_{CC} を出力する定電圧源60に接続されていると共に、直列に接続された抵抗体62及び64を介して接地されている。抵抗体62と抵抗体64との間の接続部位にはトランジスタ66のベース端子が接続されている。トランジスタ66のエミッタ端子は接地されている。また、トランジスタ66のコレクタ端子は充電回路38に接続されている。

【0018】充電回路38は抵抗体70とタイマコンデンサ72とにより構成されている。抵抗体70及びタイマコンデンサ72は、抵抗体70が定電圧源60側となるように、定電圧源60とアースとの間に直列に接続されている。抵抗体70とタイマコンデンサ72との間の部位73にはリセット回路36のトランジスタ66のコレクタ端子が接続されていると共に、比較回路40が接続されている。

【0019】比較回路40は演算増幅器68を備えている。演算増幅器68の正側入力端子には、比較回路40の部位73が接続されている。また、演算増幅器68の負側入力端子は、抵抗体74を介して定電圧源60に接続されていると共に、抵抗体76を介して接地されている。このため、演算増幅器68の負側入力端子には、電圧 V_{CC} が抵抗体74及び76により分圧されてなる基準電圧 V_{TH} が付与される。従って、演算増幅器68は、充電回路38の部位73の電位、即ち、タイマコンデンサ72の端子間電圧 V_{CHARGE} が基準電圧 V_{TH} 以下の場合にはローレベル電圧を出力し、 V_{CHARGE} が V_{TH} を上回るとハイレベル電圧を出力する。この演算増幅器68の出力電圧が比較回路40の出力電圧 V_{OUT} となる。

【0020】次に、図1に示す回路の動作について説明する。なお、以下の説明において、各トランジスタのコレクタ端子及びベース端子の電位を、それぞれ、コレクタ電位、及び、ベース電位と称する。図示しないCPUよりプリドライブトランジスタ32aのベース端子にローレベル電圧が付与された場合、プリドライブトランジスタ32aはオフ状態となる。この場合、出力トランジスタ20aのベース端子に電圧 V_{IG} が付与されることで出力トランジスタ20aもオフ状態となる。従って、コイル10aには、駆動電流は供給されず、抵抗体24aを介してステッピングモータの動作に影響を与えない程度の微小な電流のみが供給される。

【0021】一方、プリドライブトランジスタ32aのベース端子にCPUよりハイレベルの電圧が付与されると、プリドライブトランジスタ32aはオン状態となる。プリドライブトランジスタ32aがオン状態になると、抵抗体30aによる電圧降下により出力トランジスタ20aのベース電位が低下することで、出力トランジ

6

スタ20aはオン状態となる。この場合、駆動電圧源22より出力トランジスタ20aを経由してコイル10aに駆動電流が供給されることで、コイル10aが励磁される。コイル10b~10dについても同様に、プリドライブトランジスタ32b~32dのベース端子にハイレベル電圧が付与されることにより励磁される。そして、図示しないCPUが、コイル10a~10dが所定のタイミングで励磁されるように、各プリドライブトランジスタ32a~32dのベース端子に対して順次ハイレベル電圧を出力することによってステッピングモータが駆動される。

【0022】図2は、本実施例の回路の動作タイムチャートを、コイル10a~10dの何れにも断線が生じていない場合（図中区間(I)及び(II)）、及び、コイル10a~10dの何れかに断線が生じた場合（図中区間(II)）について示す。図2には、図中上段から順に、

(a) 出力トランジスタ20a~20dのオンオフ状態、(b) ダイオードOR回路34の出力電圧、即ち、ダイオードOR回路34の出力部47の電位、(c) タイマコンデンサ72の端子間電圧 V_{CHARGE} 、及び(d) 比較回路40の出力電圧 V_{OUT} のタイムチャートをそれぞれ示している。なお、図2(a)は、出力トランジスタ20a~20dのオン・オフ状態を重畳して、即ち、出力トランジスタ20a~20dの何れかがオン状態とされた場合をオン状態として示している。

【0023】本実施例において、負荷であるステッピングモータはディテントトルクにより停止角を自己保持できるPMタイプである。このため、制動後の静止状態では何れの相にも通電する必要がなく、図2(a)に示す如く、コイル10a~10dの何れにも駆動電流が供給されないタイミングが存在している。コイル10a~10dの何れにも断線が生じていない場合、出力トランジスタ20aがオン状態となると、駆動電圧源22から出力トランジスタ20aを経由してコイル10aに駆動電流が供給されると共に、出力トランジスタ20a、ダイオード50a、抵抗体48及び抵抗体56を経由してアース側へ電流が流通する。このため、ダイオードOR回路34から、抵抗体56による電圧降下分に相当するハイレベル電圧が出力される。同様に、出力トランジスタ20b~20dの何れかがオン状態となった場合にも、対応するダイオード50b~50d及び抵抗体48及び56を経由して電流が流通することで、ダイオードOR回路34からハイレベル電圧が出力される。即ち、出力トランジスタ20a~20dの何れかがオン状態となると、ダイオードOR回路34の出力電圧はハイレベルとなる。

【0024】一方、出力トランジスタ20aが全てオフ状態となると、コイル10a~10dには、それぞれ、抵抗体24a~24dを介して微小電流が供給される。しかしながら、抵抗体24a~24dの抵抗値はコイル

7

10 a ~ 10 d の巻線抵抗値に比して十分大きいため、出力端子 13 a ~ 13 d の電位はローレベルとなる。このため、ダイオード 50 a ~ 50 d の何れにも電流は流通せず、ダイオード出力回路 34 の出力電圧はローレベルとなる。

【0025】このように、コイル 10 a ~ 10 d の何れにも断線が生じていない場合には、図 2 (b) の区間 (I) 及び (III) に示す如く、出力トランジスタ 20 a ~ 20 d のオン・オフ状態に同期して、ダイオード OR 回路 34 の出力電圧はハイレベルとローレベルの間を変化する。ダイオード OR 出力回路 34 の出力電圧がハイレベルになると、リセット回路 36 のトランジスタ 54 がオン状態となる。トランジスタ 54 がオン状態になると、定電圧源 60 から抵抗体 58 及びトランジスタ 54 を介して接地側へ電流が流れるため、抵抗体 58 による電圧降下によってトランジスタ 54 のコレクタ電位はローレベルとなる。この場合、トランジスタ 66 のベース電位もローレベルとなって、トランジスタ 66 はオフ状態となる。トランジスタ 66 がオフ状態の場合、充電回路 38 のタイマコンデンサ 72 は定電圧源 60 により抵抗体 70 を介して充電される。このため、タイマコンデンサ 72 の端子間電圧は、タイマコンデンサ 72 の容量と抵抗体 70 の抵抗値とにより定まる時定数 T_{RC} で次第に上昇する。

【0026】一方、ダイオード OR 回路 34 の出力電圧がローレベルになると、トランジスタ 54 がオフ状態となることでトランジスタ 66 はオン状態となる。この場合、タイマコンデンサ 72 に充電された電荷がトランジスタ 66 を介して放電されることにより、タイマコンデンサ 72 の端子間電圧は瞬時に 0 V に低下する。従って、図 2 (c) の区間 (I) 、(II) に示す如く、タイマコンデンサ 72 の端子間電圧 V_{CHARGE} は、ダイオード OR 回路 34 の出力電圧の変化に同期して、基準電圧 V_{TH} を上回ることなく増減を繰り返す。この結果、図 2

(d) の区間 (I) 及び (III) に示す如く、コイル 10 a ~ 10 d の何れにも断線が生じていない場合には、演算増幅器 68 はローレベル電圧を出力することになる。

【0027】これに対して、コイル 10 a ~ 10 d の何れかに断線が生じた場合、例えば、コイル 10 a に断線が生じた場合には、出力トランジスタ 20 a がオン状態であれば、上記した断線が生じていない場合と同様に、出力トランジスタ 20 a、ダイオード 50 a、及び抵抗体 48、56 を経由して電流が流れることで、ダイオード OR 回路 34 の出力電圧はハイレベルとなる。一方、出力トランジスタ 20 a がオフ状態となると、出力端子 13 a には抵抗体 24 a を介して駆動電圧 V_{IC} が出力される。このため、ダイオード 50 a、抵抗体 48、及び抵抗体 56 を経由して電流が流れることで、ダイオード OR 回路 34 はハイレベル電圧を出力する。このように、コイル 10 a に断線が生ずると、出力トランジスタ

8

20 a のオン・オフ状態にかかわらず、ダイオード OR 回路 34 の出力電圧はハイレベルとなる。同様に、コイル 10 b ~ 10 d に断線が生じた場合にも、出力トランジスタ 20 b ~ 20 d のオン・オフ状態にかかわらず、ダイオード OR 回路 34 の出力電圧はハイレベルとなる。

【0028】このように、コイル 10 a ~ 10 d の何れかに断線が生じた場合には、図 2 (b) の区間 (II) に示す如く、出力トランジスタ 20 b ~ 20 d のオン・オフ状態にかかわらず、ダイオード OR 回路 34 の出力電圧はハイレベルに維持される。このため、タイマコンデンサ 72 が連続的に充電されることになって、図 2 (c) の区間 (II) に示す如く、タイマコンデンサ 72 の端子間電圧 V_{CHARGE} は増加を続ける。この結果、ダイオード OR 回路 34 の出力電圧が所定期間 T にわたってハイレベルに維持されると V_{CHARGE} は V_{TH} を上回り、比較回路 40 はハイレベルの電圧を出力するようになる。ここで、所定期間 T は、システムで起こり得る連続通電時間の最大値、例えば、原点位置出し時に最小パルスレートで可動範囲内を往復回転する際に何れかの相に通電されている時間の和に対して、回路定数、ばらつき、過渡特性等を考慮して十分に大きな時間に設定される。従って、比較回路 40 の出力電圧 V_{OUT} がハイレベルとなったことにより、コイル 10 a ~ 10 d の何れかに断線が生じていることを検出することができる。

【0029】なお、コイル断線の誤検出を防止するため、タイマコンデンサ 72 の充電電圧 V_{CHARGE} は、コイル 10 a ~ 10 d に断線が生じていない場合には電圧 V_{TH} を上回らない範囲で増減し、コイル 10 a ~ 10 d の何れかに断線が生じた場合にのみ電圧 V_{TH} を上回って増加するものでなければならない。従って、基準電圧 V_{TH} 、及び、時定数 T_{RC} は、タイマコンデンサ 72 への充電時間が上記所定期間 T を越えた場合にはじめて電圧 V_{CHARGE} が基準電圧 V_{TH} を上回るように設定される。ステッピングモータの最低パルスレートは一般には数 10 pps であるため、上記所定期間 T は数百 ms のオーダーである。従って、時定数 T_{RC} も数百 ms のオーダーに設定される。

【0030】上述の如く、本実施例においては、駆動回路 12 の出力端子 13 a ~ 13 d の出力電圧レベルの論理和がダイオード OR 回路 34 により決定され、その論理和の時間的な履歴、即ち、ハイレベルに維持された時間に基づいて、各コイル 10 a ~ 10 d の断線検出が行なわれる。このため、各コイル 10 a ~ 10 d について断線を検出する検出回路を設けることが不要とされ、検出回路 14 をコイル 10 a ~ 10 d に対して共通化することが可能とされている。このように、本実施例によれば、ステッピングモータ駆動装置のコストの大幅な増大を招くことなくコイルの断線検出を行なうことができる。

9

【0031】また、上述の如く、本実施例においては、出力トランジスタ20a~20dのオン・オフ状態にかかわらず、即ち、コイル10a~10dの通電状態にかかわらず断線検出を行なうことができる。従って、コイルの断線検出にあたって、駆動回路12の内部に、駆動中のコイルに対するマスクを行なうための回路を付加することは不要である。このため、図1からわかるように、本実施例においては、通常のステッピングモータ駆動装置の出力端子13a~13dと駆動電圧源22との間にそれぞれ抵抗体24a~24dを設けると共に、出力端子13a~13dに検出回路14を接続することにより上記機能が実現されている。従って、本発明によれば、コイル断線を検出する機能を有しない従前のステッピングモータ駆動装置に対して部品を後付けするのみで、コイル断線の検出機能を実現することができる。

【0032】更に、上記実施例において、断線の有無の判別は、タイマコンデンサ72の充電電圧 V_{CHARGE} と基準電圧 V_{TH} との比較に基づいて行なわれる。上述の如く、充電回路38の時定数 T_{RC} は数百msのオーダーと十分に大きいので、充電電圧 V_{CHARGE} は外部雑音の影響を受け難い。また、基準電圧 V_{TH} は、安定な定電圧源60の出力電圧 V_{CC} を分圧することにより得られるため、外部雑音や、コイル10a~10dへの通電に伴う駆動電圧源22の電圧変化等の外乱に対して非常に安定である。従って、本実施例によれば、外部雑音や外乱が作用した場合にも、高い信頼度でコイル断線の検出を行なうことができる。

【0033】また、本実施例は、出力端子13a~13dにハイレベル電圧が出力された期間が所定期間を越えた場合に、コイル断線を検出するものである。従って、コイルの断線以外に、例えば、出力トランジスタ20a~20dの端子間の短絡や、CPUの暴走、あるいは、回路の配線の短絡等に起因して出力端子13a~13dにハイレベル電圧が出力されたことも同様に検出される。従って、本実施例の回路は、コイル10a~10dの断線検出のみならず、広くステッピングモータ駆動装置の異常監視システムとしても機能し得ることになる。

【0034】次に、本発明の第2実施例について説明する。上述の如く、上記第1実施例においては、コイル10a~10dへの通電状態が切り替えられる際、必ず、コイル10a~10dの何れにも通電されないタイミングが設けられるものとしている。しかしながら、例えば、大きな静止トルクを得ようとする場合等には、ステッピングモータの停止時に、停止位置に応じた相のコイルに駆動電流を流し続けることが行なわれる。かかる場合には、常にコイル10a~10dの何れかに通電されるため、即ち、常に出力トランジスタ20a~20dの何れかがオン状態とされるため、上記実施例のシステムによれば、コイルに断線が生じていないにもかかわらず、比較回路40からはハイレベル電圧が出力され、コ

10

イルに断線が生じていると誤判定されてしまう。これに対して、本実施例は、上述の如く、常に出力トランジスタ20a~20dの何れかがオン状態とされるような場合にも、コイル断線を正しく検出することが可能な点に特徴を有している。

【0035】以下、本実施例について図3を参照して説明する。図3は本実施例のステッピングモータ駆動回路の出力段の回路図を示す。なお、図3において、図1と同様の構成部分には同一の符号を付してその説明を省略する。また、図3にはコイル10aに対応する1相分の回路のみを示している。図3に示す如く、本実施例の回路において、出力端子13aとダイオード50aとの間には抵抗体78aが接続されている。また、ブリッドドライブトランジスタ32aのベース端子には抵抗体80aを介して図示しないCPUの制御出力端子が接続されている。抵抗体80aの入力側には抵抗体82aを介してトランジスタ84aのベース端子が接続されている。トランジスタ84aのコレクタ端子は抵抗体78aとダイオード50aとの間の接続部位に接続されている。また、トランジスタ84aのエミッタ端子は接地されている。

【0036】上記した構成によれば、CPUが例えばブリッドドライブトランジスタ32aのベース端子に対してハイレベル電圧を出力すると、上記第1実施例の場合と同様に、ブリッドドライブトランジスタ32a及び出力トランジスタ20aが共にオン状態となり、出力端子13aに駆動電圧 V_{IG} が出力されることで、コイル10aに駆動電流が供給される。この場合、トランジスタ84aのベース端子にもハイレベル電圧が付与されるため、トランジスタ84aはオン状態となる。従って、抵抗体78aとダイオード50aとの接続部位はトランジスタ84aを介して接地され、その電位はローレベルとなる。このため、ダイオード50aからリセット回路36へローレベルの電圧が付与される。同様に、ブリッドドライブトランジスタ32b~32dのベース端子にハイレベル電圧が付与された場合にも、オン状態とされた出力トランジスタ20b~20dに対応するダイオード50b~50dからリセット回路36にはローレベルの電圧が付与される。

【0037】このように、本実施例によれば、コイル10a~10dのうち駆動中のコイルに対応する回路からはリセット回路36にローレベルの電圧が付与され、その他の相のコイルに断線が生じた場合にのみ当該断線コイルに対応する回路からリセット回路36に対してハイレベルの電圧が付与される。従って、本実施例によれば、ステッピングモータが常に何れかのコイル10a~10dに通電されるように駆動される場合であっても、コイルの断線を正しく検出することができる。

【0038】なお、上記第1及び第2実施例においては、出力トランジスタ20a~20dが上記したスイッチング素子に、抵抗体24a~24dが上記した微小電

11

流供給手段に、ダイオードOR回路26が上記した論理OR回路に、リセット回路36、充電回路38、及び比較回路40が上記した出力オープン検出手段に、それぞれ相当している。

【0039】次に、図4を参照して本発明の第3実施例について説明する。本実施例は、出力トランジスタがステッピングモータの各コイルよりアース側に設けられた点で上記第1実施例と相違している。なお、図4において図1と同様の構成部分には同一の符号を付してその説明を省略する。また、図4において、ブリドライブトランジスタについては図示を省略している。

【0040】図4に示す如く、本実施例の回路は、コイル10a~10dに駆動電流を供給する駆動部102と、コイル10a~10dの断線の有無を検出する断線検出部104とにより構成されている。コイル10a~10dはそれぞれ駆動電圧源22と、駆動回路102の出力端子103a~103dとの間に接続されている。駆動回路102は出力トランジスタ120a~120dを備えている。出力トランジスタ120a~120dのコレクタ端子はそれぞれ出力端子103a~103dに接続されている。また、出力トランジスタ120a~120dのコレクタ端子は、それぞれ保護ダイオード122a~122dを介して駆動電圧源110に接続されていると共に、抵抗体124a~124dを介して接地されている。抵抗体124a~124dは、駆動電圧源22からコイル10a~10dへステッピングモータの動作に影響を与えない程度の微小電流が供給されるように高い値に設定されている。

【0041】出力トランジスタ120a~120dのコレクタ端子には、検出回路104のトランジスタNAND回路126が接続されている。トランジスタNAND回路126は、出力トランジスタ120a~120dにそれぞれ対応するトランジスタ128a~128dを備えている。トランジスタ128a~128dのベース端子は、それぞれ抵抗体130a~130dを介して出力トランジスタ120a~120dのコレクタ端子に接続されている。また、トランジスタ128a~128dのベース端子とエミッタ端子との間にはそれぞれ抵抗体132a~132dが接続されている。

【0042】トランジスタ128aのエミッタ端子は接地されている。また、トランジスタ128dのコレクタ端子は、トランジスタNAND回路126の出力部133に接続されている。トランジスタ128a~128dは、接地側からこの順に、エミッタ端子及びコレクタ端子に関して互いに直列に接続されている。また、トランジスタNAND回路126の出力部133は充電回路38の抵抗体70とタイマコンデンサ72との間の部位73に接続されている。従って、トランジスタNAND回路126の出力電圧はタイマコンデンサ72に付与される。

12

【0043】本実施例においても、上記第1実施例の回路と同様に、CPUから付与された制御信号により、出力トランジスタ120a~120dの何れか1つがオン状態とされると、コイル10a~10dのうちオン状態とされた出力トランジスタに対応するコイルに駆動電流が供給される。そして、出力トランジスタ120a~120dが、コイル10a~10dに所定のタイミングで駆動電流が供給されるように順次オン状態とされることで、ステッピングモータが駆動される。

【0044】図5は、本実施例の回路の動作タイムチャートを、コイル10a~10dの何れにも断線が生じていない場合（図中区間(I)及び(II)）、及び、コイル10a~10dの何れかに断線が生じた場合（図中区間(II)）について示す。図5には、図中上段から順に、

(a) 出力トランジスタ120a~120dのオンオフ状態、(b) タイマコンデンサ72の端子間電圧V_{CHARGE}、及び(c) 比較回路40の出力電圧V_{OUT}のタイムチャートをそれぞれ示している。

【0045】なお、図5(a)は、上記図2(a)と同様に出力トランジスタ120a~120dのオン・オフ状態を重ねて、即ち、出力トランジスタ120a~120dの何れかがオン状態とされた場合をオン状態として示している。図5(a)に示す如く、本実施例においても上記第1実施例の場合と同様に、負荷であるステッピングモータはディテントトルクにより停止角を自己保持できるPMタイプである。このため、制動後の静止状態では何れの相にも通電する必要がなく、コイル10a~10dの何れにも駆動電流が供給されないタイミングが存在している。

【0046】コイル10a~10dの何れにも断線が生じていない場合、例えば、出力トランジスタ120aがオン状態となると、駆動電圧源22からコイル10a及び出力トランジスタ120aを経由して接地側へ駆動電流が流れるため、出力端子103aの電位はローレベルとなる。従って、この場合、トランジスタ128aのベース電圧はローレベルとなって、トランジスタ128aはオフ状態となる。一方、出力トランジスタ120aがオフ状態となると、駆動電圧源22からコイル10a及び抵抗体124aを経由して微小電流が流れる。この場合、抵抗体124aによる電圧降下に相当する電圧がトランジスタ128aのベース端子に付与される。このため、トランジスタ128aのベース電位はハイレベルとなって、トランジスタ128aはオン状態とされる。同様に、出力トランジスタ120b~120dがオン状態となると対応するトランジスタ128b~128dがオフ状態となり、一方、出力トランジスタ120b~128dがオフ状態となると対応するトランジスタ128b~128dがオン状態となる。

【0047】従って、コイル10a~10dの何れにも断線が生じていない場合、出力トランジスタ120a~

13

120dが全てオフ状態とされると、トランジスタ128a~128dが全てオン状態とされることで、トランジスタNAND回路126の出力部133はトランジスタ128a~128dを介して接地される。このため、出力部133の電位はローレベルとなって、タイマコンデンサ72に充電されていた電荷はトランジスタ128a~128dを介して放電される。一方、出力トランジスタ120a~120dの何れかがオン状態とされた場合には、トランジスタ128a~128dの何れかがオフ状態とされる。このため、トランジスタNAND回路126の出力部133は抵抗体70を介して定電圧源60に接続され、タイマコンデンサ72は定電圧源60より抵抗体70を介して充電される。従って、図5(b)に示す如く、出力トランジスタ120a~120dのオン・オフの変化に同期して、タイマコンデンサ72は充電及び放電され、その端子間電圧は基準電圧 V_{TH} を上回ることなく増減を繰り返す。従って、図5(c)の区間(I)及び(III)に示す如く、コイル10a~10dの何れにも断線が生じていない場合には、演算増幅器68はローレベル電圧を出力する。

【0048】これに対して、例えばコイル10aに断線が生じた場合、出力トランジスタ120aのオン・オフ状態にかかわらず、出力端子130aの電位はローレベルとなる。このため、トランジスタ128aのベース電圧もローレベルとなって、トランジスタ128aはオフ状態とされる。同様に、コイル10b~10dに断線が生じた場合にも、対応するトランジスタ128b~128dがオフ状態となる。このように、コイル10a~10dの何れかに断線が生ずると、トランジスタ128a~128dの何れかがオフ状態となることで、タイマコンデンサ72の定電圧源60側の端子は接地側から遮断される。このため、タイマコンデンサ72は充電され、図5(c)の区間(II)に示す如く、タイマコンデンサ72の端子間電圧 V_{CHARGE} は上昇を続ける。そして、タイマコンデンサ72の充電時間が所定期間Tに達し、 V_{CHARGE} が基準電圧 V_{TH} を上回った時点で、比較回路40の出力電圧がハイレベルとなる。従って、比較回路40の出力電圧がハイレベルになったことをもって、コイル10a~10dの何れかに断線が生じたことを検出することができる。

【0049】このように、本実施例においても、上記第1実施例の場合と同様に、各コイル10a~10dに共通の検出回路104を設けることのみで、演算増幅器60の出力電圧に基づいて、コイル10a~10dの断線を検出することができる。また、本実施例においては、抵抗体124a~124dを出力端子103a~103dとアースとの間に接続すると共に、出力端子103a~103dに検出回路104を接続することで、上記機能が実現されている。従って、本実施例においても、上記実施例の場合と同様に従前のステッピングモータ駆動

14

装置に部品を後付けすることのみで簡便にコイル断線を検出することが可能とされている。

【0050】なお、本実施例においても、上記図3に示す第2実施例と同様に、駆動中のコイルをマスクする回路を設けることにより、常に出力トランジスタ120a~120dの何れかがオン状態とされるような場合にも、コイルの断線検出を正確に行なうことができる。なお、上記第1及び第2実施例においては、出力トランジスタ120a~120dが上記したスイッチング素子に、抵抗体124a~124dが上記した微小電流供給手段に、トランジスタNAND回路126が上記した論理NAND回路に、充電回路38、及び比較回路40が上記した出力オープン検出手段に、それぞれ相当している。

【0051】なお、上記第1~第3実施例においては、タイマコンデンサ72の端子間電圧 V_{CHARGE} が基準電圧 V_{TH} を上回ったか否かを比較回路40で判別することにより、コイルの断線を検出することとしたが、本発明はこれに限定されるものではなく、ダイオードOR回路34(第1及び第2実施例)あるいはトランジスタNAND回路126(第3実施例)の出力電圧がハイレベルとなった期間を計測し、この期間が所定期間Tを越えたか否かに基づいてコイルの断線を検出することとしてもよい。

【0052】また、上記第1~第3実施例においては、出力トランジスタ20a~20dあるいは120a~120dに並列に設けられた抵抗体24a~24dあるいは124a~124dによりコイル10a~10dに微小電流を供給することとしたが、本発明はこれに限定されるものではなく、微小電流を出力する定電流源を出力トランジスタ20a~20dあるいは120a~120dと並列に設けることでコイル10a~10dに微小電流を供給することとしてもよい。

【0053】なお、上記第1~第3実施例においては、本発明がステッピングモータ駆動回路の出力回路に適用され、ステッピングモータのコイルの断線により出力がオープン状態となったことが検出される場合について説明したが、本発明はこれに限定されるものではなく、複数の出力スイッチング素子を備え、各出力スイッチング素子のオンオフにより、各チャンネルの出力電流のオン・オフが制御される任意の形式の多チャンネル出力装置の出力オープンの検出に適用することができる。

【0054】

【発明の効果】上述の如く、請求項1乃至3記載の発明によれば、多チャンネル出力装置の出力オープンの検出を低コストで実現することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係わるステッピングモータ駆動装置の出力回路の回路図である。

【図2】本実施例の回路の動作タイムチャートである。

【図3】本発明の第2実施例に係わる回路の回路図である。

【図4】本発明の第3実施例に係わる回路の回路図である。

【図5】本実施例の回路の動作タイムチャートである。

【符号の説明】

12a~12d、120a~120d 出力トランジスタ
タ

13a~13d、103a~103d 出力端子

24a~24d、124a~124d 抵抗体

34 ダイオードOR回路

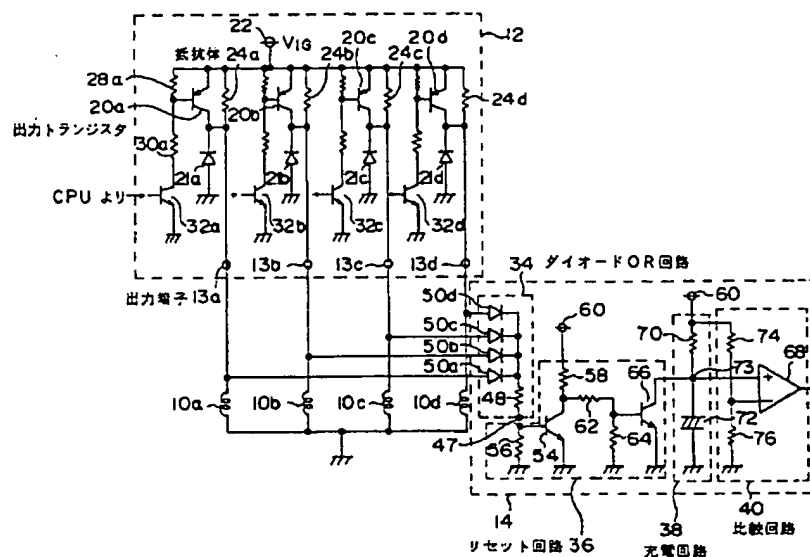
36 リセット回路

38 充電回路

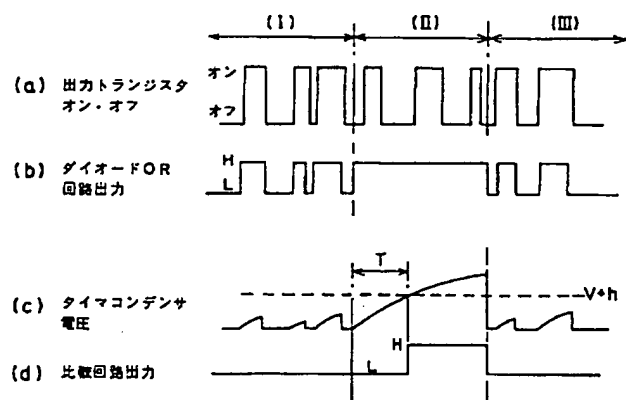
40 比較回路

126 トランジスタNAND回路

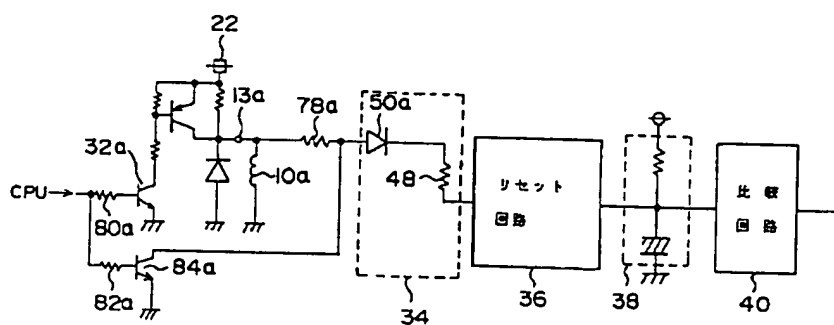
【図1】



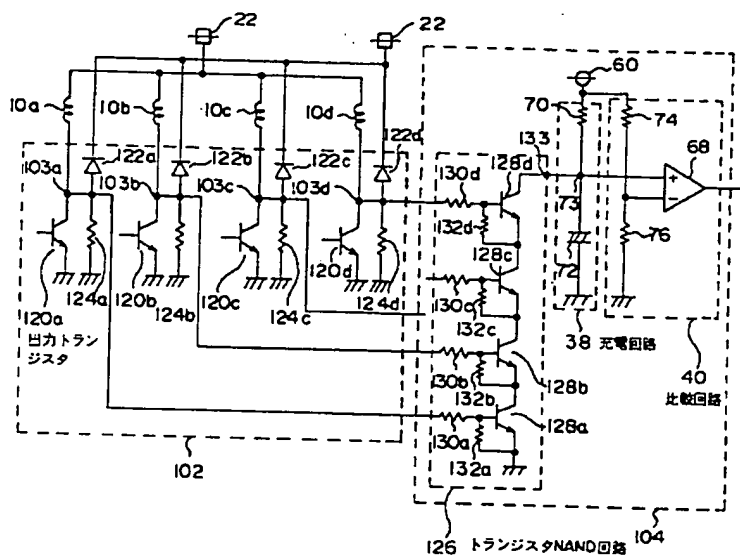
【図2】



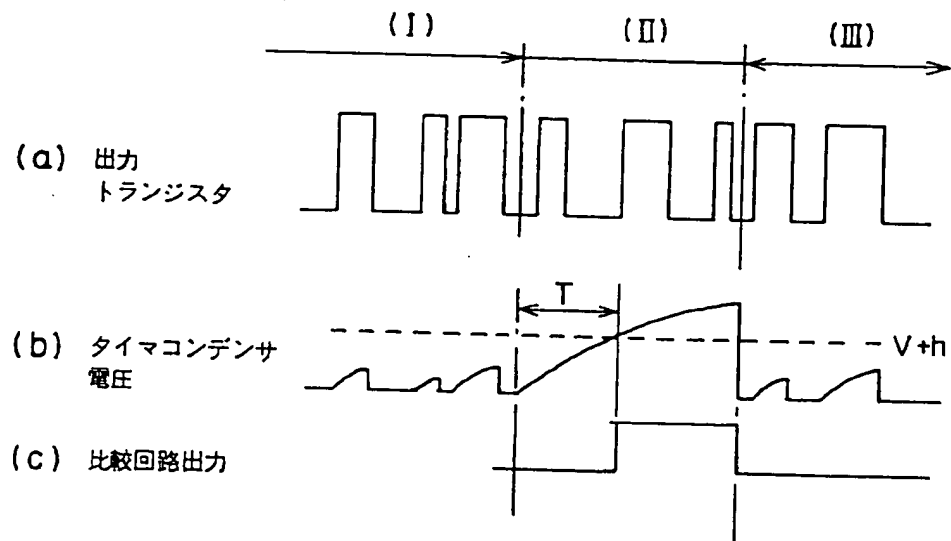
【図3】



【図4】



【図5】



**OUTPUT OPEN-CIRCUITING DETECTION DEVICE OF MULTICHANNEL
OUTPUT DEVICE**

Patent Number: JP10257799
Publication date: 1998-09-25
Inventor(s): NOBUHARA MOCHIKIYO
Applicant(s):: TOYOTA MOTOR CORP
Requested Patent: ☐ JP10257799
Application Number: JP19970053515 19970307
Priority Number(s):
IPC Classification: H02P8/38 ; G01R31/02
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To detect the output open-circuit of multiple channels inexpensively by an output open-circuit detection device of a multiple-channel output device.

SOLUTION: Coils 10a-10d of a stepping motor are connected between a driving circuit 12 and a ground and high-resistance resistors 24a-24d are connected in parallel with output transistors 20a-20d. A diode OR circuit 34 is connected to output terminals 13a-13d. When either one of the coils 10a-10d is disconnected, the voltage of a driving voltage source 22 is outputted to the output terminals via the resistors 24a-24d and the potential of the output terminals is maintained at a high level. In this case, the output level of the diode OR circuit 34 becomes high and the output is charged to a timer capacitor 72, and a high-level voltage is outputted from a comparison circuit 40 when the charged voltage exceeds a specific value.

Data supplied from the esp@cenet database - I2